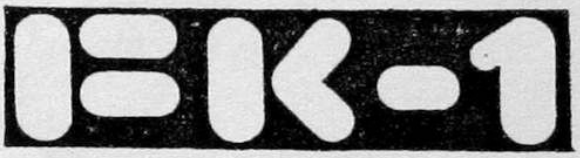


TECHNICKÝ POPIS

Technický popis počítače FK-1

1. Stručná charakteristika počítače 1
2. Pravidla používaná při popisu schémat 2
3. Popis listu č. 1 PROCESOR 3
4. Popis listu č. 2 PAMĚŤ 7
5. Popis listu č. 3 VIDEO I 11
6. Popis listu č. 4 VIDEO II 14
7. Popis listu č. 5 PŘERUŠENÍ 17
8. Popis listu č. 6 PORTY 19
9. Popis listu č. 7 FLOPY I 22
10. Popis listu č. 8 FLOPY II 24

2. Pravidla používaná při popisu schémat.

- schémata jsou rozdělena na osm listů, číslovaných od 1 do 8.
- integrované obvody jsou číslovány za písmenem E (E 13, E 35),
- vstupy příslušného integrovaného obvodu jsou označeny číslem lomítkem následujícím po čísle obvodu. Například E 12/2 je vstup nebo výstup integrovaného obvodu číslo E 12 a vývod číslo 2 obvodu.
- Další součástky jsou označeny těmito písmeny a číslem.

  Z piezorezonátor (krystal)
  R resistor (odpor)
  C kondenzátor
  VD dioda
  T tranzistor
  X konektor

- vodorovná krátká tlustší čára značí zem, neboli OV.
- šipka s nápisem +5 V znamená připojení na napětí +5 V.
- šipka, ve které je vepsáno číslo, značí šipku konektoru Xn.
- číslo obvodu je vepsáno buď v obvodu (v kroužku nebo bez) a nebo v kroužku vedle obvodu.
- kroužek u šipky na kraji schématu a v něm číslo značí na jakém listu schémat signál pokračuje. U šipky je také název signálu. Tak například HCK a v kroužku 4, znamená signál „Horizontal Clock" - horizontální hodiny a přicházejí z listu schémat č. 4.
- V některých částech schématu je v obdélníčku nápis, popisující funkci okolních obvodů. Například ROM DEK (dekodér napětí ROM).
- tlusté spoje, z nichž vodorovně vycházjí spoje s označením signálů (např. D0, D1, D2 atd) jsou vícenásobné signály, tak zvané sběrnice. Převážně jsou to DATA, ADRESA, PERIFERNÍ DATA PD_7.
- Označení jako LS 14, LS 00 jsou zkrácené názvy integrovaných obvodů jako 74 LS 14, 74 LS 00. Místo těchto obvodů však mohou být použity ekvivalenty těchto obvodů, buď sovětské výroby a nebo naše obvody například MH 74 ALS 00.
- Zvýraznění textu nahrazuje pruh nad signálem (např. **MRQ**) a značí invertovaný signál s aktivní úrovní Log. 0. Čte se jako NON neboli **MRQ** = MRQ NON.

3. Popis listu č. 1 PROCESOR

- Na tomto listu jsou obvody okolo mikroprocesoru Z 80A. Vlevo nahoře je hodinový oscilátor řízený piezorezonátorem. Oscilátor kmitá na frekvenci 8 MHz. Oscilátor je tvořen z inventorů E 79, rezonátoru Z 1 a odporů R 63 a R 64, kondenzátoru C 9, který tvoří zpětnou vazbu. Za oscilátorem je zařazen frekvenční dělič dvěmi, 74 LS 74 E 77/6. Mohl by být použit rezonátor 4 MHz, ale ten se vyrábí jen ve velkém pouzdře a proto je použit malý krystalek 8 MHz.
- Frekvence 4 MHz z výstupu děliče E 77/6 je používáno i na listu č. 7 v obvodech připojených flopydisku.
- Hodinový vstup Z 80A E 66/6 potřebuje vyšší úroveň napětí než jsou schopny generovat obvodí řady 74 LS. Proto je frekvence 4 MHz zesílena hradlem E 76/11 a výstup hradla je přitažen k napětí +5 V odporem R 58 o hodnotě 330 Ohm. Tím dosáhne hodina skoro napětí +5 V.
- Mikroprocesor Z 80A E 66 má 16 adresových výstupů A 0 až A 15. Adresy jsou mnohokrát zatíženy a představují velmi dlouhé spoje. Proto jsou adresy zesíleny hradly LS 08, které jsou v obvodech E 47, E 67, E 68 a E 69. Adresová sběrnice AB (Adress Buffered) je pak rozvedena prakticky po celé desce.
- Na schématu je naznačeno i napájení mikroprocesoru Z 80A a to napětí +5 V na vývod E 66/11 a zem E 66/29. Napájení je blokováno keramickým kondenzátorem.
- Nulovací vstup Z 80A E 66/26 **RES** (Reset) je připojen na výstup hradla E 80 LS 14. Na listu č. 6 a č. 8 je potřeba signál RESET v opačné logické polaritě, je označen RES a vede z výstupu hradla LS 14 E 80/4. Vznik signálu **RES** je od tlačítka z něhož přichází signál **RTL** přes ochranný odpor 100 ohm. Přes tento odpor se při stlačení tlačítka vybije kondenzátor C2 20 M a na vstup E 80/3 LS 14 přijde nula. Nula se na tomto vstupu objeví i při zapnutí napájení a to do té doby, dokud se nenabije kondenzátor C2 na napětí asi 1,6 V. Nuluje se tedy tlačítkem a nebo od zapnutí napájení počítače.
- Signál **MI** E 66/27 je výstup Z 80A a nula na tomto výstupu označena tzv. FETCH cyklus instrukce a nebo cykl potvrzení přerušení spolu se signálem **IORQ**.
- Signál **MI** je používán ještě na listu č. 5 v obvodech přerušení.

- Signál **MI** je pak sečten se signálem **RD** v hradle 476/2, neboť pomocí tohoto hradla je vyráběn signál řídící směr otevření zesilovačů 3216 E 49 a E 50. Tyto zesilovače musí být otevřeny tak, aby jimi data procházela do mikroprocesoru Z 80A ve dvou případech:

  a) při čtení dat z periferií - je signál **IORQ** a **RD**
  b) při čtení vektoru přerušení - je signál **IORQ** a **MI**

Dáme-li tyto dvě podmínky do jedné logické rovnice, pak zesilovače musí být otevřeny do mikroprocesoru při:
signálu **IORQ** a současně **RD** nebo **MI**
Právě plnění této logické rovnice zajišťují hradla 7437 E 76/2 a E 76/6 a hradlo LS 32 E 72/11.

- ostatní signály z levé strany mikroprocesoru mají tento význam:

NMI nemaskovatelné přerušeií připojené na log. 1 neboli +5 V

BUSRQ žádost o DMA, která se nevyužívá opět připojeno na logl.

REF refreš pamětí vede na list č. 2

WAIT čekej - vede do obvodů vede na listu č. 4

MRQ žádost o přístup k paměti vede na listu č. 2

IORQ žádost o přístup k periferii, vede na listu č. 6

RD čtení, vede na list č. 2 a 6

WR zápis, vede na listy č. 2 a 6

INT přerušení od obvodu 3214 z listu č. 5

- všechny řídící signály Z 80A jsou aktivní v nule.

- ze signálů z pravé strany mikroprocesoru jsme ještě nehovořili o DATECH. Data DO až D7 tvoří jedno osmibitové slovo neboli jeden byte. Proto se mikropočítači FK-1 říká osmibitový. Datové sběrnice jsou u FK-1 dvě:

  DB - Data Bus a ten jde na paměti EPROM (list č. 1, paměti RAM list č. 2) videoram a RAM

  PD - Periferal Data, data pro periferie a ty jdou na obvody 8255, 8253, 8251 a na další registry pro připojištění periferií.

- U FK-1 je tedy oddělena sběrnice dat pamětí a sběrnice dat pro přídavná zařízení.

- Na listu č. 1 vpravo nahoře jsou naznačeny čtyři paměti EPROM. Ve skutečnosti tyto čtyři obdélníky představují čtyři objímky pro integrované obvody s 24 vývody. V FK-1 jsou použi-

ty paměti EPROM o kapacitě 2KByte, typ 2716. Po malé úpravě by bylo možné použít i typy s dvojnásobnou kapacitou 2732, ale pro operační systém CP/M, který se natahuje z disku postačí docela jedna paměť 2716 E 65 a objímky pro E 64, E 63 a E 62 zůstávají volné.

- Paměť EPROM typ 2716 má jedenáct adresovaných vstupů A 0 až A 10 a osm datových výstupů Q 0 až Q 7. Tyto datové výstupy jsou od sběrnice DB odděleny zesilovačem 8282 E 51. Otevření výstupů tohoto zesilovače E 51 je řízeno nulou na jeho vstupu E 51/9 nazvaného **OE** (OUTPUT Enable). Na tomto vstupu je nula, pokud je současně nula na vstupech E 72/5 (signál **MRD** Memory Read) a současně nula na vstupu E 72/4 (signál EPROM). **MRD** je v nule pokud je **MRQ** a **RD** v nule a tento součin se získává na hradle LS 32 E 73 na listu č. 2.
- Pro čtení z pamětí EPROM je ještě nutné vybrat jednu ze čtyř pamětí E 62 až E 65, podle stavu adres A 12, 13, 14 a 15. Výběr pamětí závisí také na stavu signálu MAP (mapování pamětí), jak uvidíme později. Dekodér všech pamětí (pamětí EPROM až EPROM 3 a paměti RAM a paměti videoram - signál CRT (je tvořen pamětí PROM 74 188 E 46. Paměť má výstupy s otevřeným kolektorem a proto jsou k výstupům E 46 připojeny odbory R 37 až R43.
- Paměťový prostor mikroprocesoru Z 80A má kapacitu 64Kbyte, neboli 4× po 16KB. Mikropočítač FK-1 ale potřebuje adresovat celkem 64KB paměti RAM, 16KB paměti videoram a ještě paměti EPROM, pro které je pro jednoduchost vyhražen celý prostor 16KB pro případ, kdy by byly použity 4 paměti EPROM po 4KB typy 7232. Proto jsou čtyři čtvrtiny adresovaného prostoru mikroprocesoru po 16KB rozděleny v závislosti na signálu MAP takto:

MAP = 0	MAP = 1	čtvrtina
EPROM	RAM	1.
VIDEORAM	RAM	2.
RAM	RAM	3.
RAM	RAM	4

- Signál MAP se vyrábí v R-S klopném obvodu z hradel LS00 E 29. Po zapnutí je díky signálu **RES** klopný obvod překlopen tak, že MAP = 0. Je to nutné, protože Z 80A začíná provádět program od nulové adresy a proto musí být na počátku adeso-

vaného prostoru adresovaná paměť EPROM se zaváděcím programem. Když potřebuje program přistoupit ke spodní polovině RAM, provede takovou instrukci, která generuje signál **6RD** E 29/1 a klopný obvod se překlopí do stavu MAP = 1. Chce-li program opět pracovat s EPROM nebo VIDEORAM provede takovou instrukci, která generuje signál **5RD** E 29/9. Tomuto přepínání adres pamětí se říká mapování.

- Tím je ukončen výklad obvodů na listu č. 1.

4. Popis listu č. 2 PAMĚŤ

- Jak již bylo řečeno FK-1 má kapacitu paměti RAM 64KB a k tomu navíc ještě 16KB paměti VIDEORAM, ve které jsou uloženy informace zobrazované na obrazovce.
- Pro paměť RAM jsou použity čipy dynamických pamětí 64KB, známé jako typ 4 164 (sovětský typ RU 5) na listu č. 2 vpravo nahoře jako E 99 až E 106 (8 čipů). Pro paměť VIDEORAM jsou použity čipy 16KB známé jako typ 4516, neboli 16KB s napájením pouze +5 V, na list č. 2 vpravo nahoře jako E 107 až E 114 (sovětské značení RU 6).
- Dynamické paměťové čipy jsou charakteristické tím, že se do nich zadává adresa nadvakrát, což vede k úspoře počtu potřebných vývodů obvodu. Díky tomu jsou oba typy pamětí v pouzdrech pouze se 16 vývody. Nejprve se zadá spodní polovina adresy a to 8bit u RU 5 a 7bit u RU 6. Zadání spodní poloviny adresy je doprovázeno přechodem signálu **RAS** od nuly a zadání druhé poloviny adresy přechodem signálu **CAS** do nuly.

Jak uvidíme později pracují čipy RU 6 ve VIDEORAM v tzv. stránkovém módu, kdy se zadá jedním **RAS** společná adresa řádku a pak postupně dvěmi **CAS** dvě adresy sloupců pamětí. Ušetří se tak čas pro dodržení správného časového signálu **RAS** a přístup k VIDEORAM je rychlejší.

- Dva obvody LS 257, multiplexory dvou signálů na jeden výstup, slouží jako přepínače adres řádků (řádek ROW a z toho **RAS** = ROW Adress Strobe) adres sloupců COLOMN a z toho **CAS.**

- Dynamické paměti potřebují tzv. refreš, neboli obnovení obsahu paměti a to je nutné provést 128× za 2ms. U paměti RAM tuto refreš zajišťuje přímo procesor, který ve volném čase v každé instrukci vydá 7 bitů refrešovací adresy na A0 až A6 a současně signál **MRQ** a **REF.** U videoram je zase refreš zajištěna tím, že se paměť neustále čte do obvodů zobrazení na obrazovce a tím je zajištěna refreš VIDEORAM.

- Datové vstupy a výstupy čipů RAM, vývody 2 a 14 E 99-E 106 sou spojeny a datové zesilovače 3216 oddělují čipy od sběrnice označené DB.

- U VIDEORAM jsou k zesilovačům připojeny pouze vstupy a čtení z čipů Videoram je uděláno složitější, protože informace

čtená do procesoru se odpamatovává do registru 8282 E 71 a informace čtená pro zobrazení se odpamatovává do registrů LS 175 E 119 a 123 anebo přímo do posuvných registrů LS 295 E 124 na listu č. 3.

- Logické obvody, na listu č. 2 vlevo dole, zajišťují správné časování všech signálů pro paměť RAM a řízení zesilovačů dat směrem ke sběrnici mikropočítače DB. Časování signálů VIDEORAM je na listu č. 4, kde jsou vyráběny signály **RAS G, CAS G** a **WEG**, kde G znamená grafika, protože zobrazení na obrazovce FK-1 je plná bodová grafika v rastru 512×256, ale o tom až na listu č. 4. Tam se také generují signály **LI,** A B pro obvody VIDEORAM.

- Signál **RAS** pro RAM generuje monostabilní obvod 74 123 E 78/13 a inventor LS 04 E 79. Monostabilní obvod je spouštěn sestupnou hranou na jeho vstupu E 78/1, neboli sestupnou hranou signálu **MRQ** (žádost o paměť). **MRQ** je generován při čtení z RAM, při zápisu do RAM i při refreši doprovázené signálem **REF.** Monostabilní obvod vlastně zkracuje signál **MRQ** na konstantní šířku, danou velikostí RC členu C 13 a R 61 a konstantní šířka signálu **RAS** zajišťuje dodržení nabíjecího času (RAS Precharing Time) čipů RAM, který by jinak nebyl dodržen, protože u Z 80A jsou mezi signály MRQ jdoucími po sobě malé prodlevy.

- Hradlo 74 LS 00, čtyřnásobné dvouvstupové hradlo NAND plní funkci dekodéru důležitých signálů pro obvody RAM. Hradlo E 74/8 invertuje signál **RD** (čtení) a vyrábí tak vlastně signál zápis (**WE**) pro čipy RAM. Použití invertovaného RD místo běžného **WR** (zápis) z mikroprocesoru zajišťuje správné časování signálu **WE** před signálem **CAS** a tím správné otevírání výstupů čipů RAM (Cykl Early Write). Hradlo E 74/11 vyrábí polovací signál pro průchod **MRQ** hradlem LS 32 EE 73/5. Toto hradlo pak generuje signál pro přepnutí multiplexorů E 82 a E 92 a generování signálu **CAS.** K povolení je třeba, aby na E 74/11 byla nula a ta je když je RAM i REF na jedničce, tedy kdykoliv je vybrána RAM (adresový dek na listu č. 1) a není Refreš. Při refreši se tedy nepřepínají adresy a ani není generován RAS.

- Hradlo LS 32 E 73/11 generuje součin **MRQ** a **RD** nebo-li signál **MRD** (Memory Read). Hradlo LS 04 E 79 tento signál invertuje a hradlo LS 00 E 74/6 pak tvoří součin mezi MRD a CRT, neboli signál říkající, že se čte z části paměti nazývané VIDEORAM .Výstup E 74/6 pak oevírá výstupy registru 8282 E 71 směrem na sběrnici DB, neboli do Z 80A.

- Hradlo LS 00 E 74/3 vyrábí signál, ale při RAM = 1, neboli otevírá výstupy zesilovačů 3216 E 70 a 75 při čtení z RAM do mikroprocesoru Z 80A.

- K dokončení popisu logiky časování signálů pro RAM chybí ještě vysvětlení, co se stane po generování signálu **RAS**. Od **MRQ** se nahodí monostabilní obvod a je generován **RAS**.

- Od **MRQ** se po zpoždění, daném R 56 a C 12 generuje signál pro přepnutí multiplexorů (vstupy S E 82/1 a E 92/1). Tím se k adresovým vstupům připojí vyšší část adres. Multiplexory totiž přepínají adresu takto:

při:	E 82	E 92						
S = 0	A0	A1	A2	A3	A4	A5	A6	A15
S = 1	A7	A10	A9	A11	A13	A12	A8	A14

- na pořadí adres nezáleží a při S = 0 musí být na vstupech čipů RU 5 adresa A 0 až A 6 (7 bitů) pro správné provádění refreše. Jak iž bylo řečeno, při refreši se multiplexory nepřepínají.

- po přepnutí multiplexorů LS 257 se signál z výstupu LS 32 E 73/6 zpožďuje RC členem R 57 a C 14 a vznikne signál **CAS** pro čipy RAM. Signál **CAS** je povolen signálem **MRQ** na vstupu LS 32 E 72/10. Je to proto, aby byl zpožděn jen začátek signálu **CAS** a ne jeho konec, **CAS** takto končí hned s **MRQ**.

- k dokončení popisu listu č. 2 nám chybí ještě popis části s čipy RU 6, neboli VIDEORAM. Jak již bylo naznačeno, čtou se z VIDEORAM vždy dva bajty po sobě v tzv. stránkovém módu.

- první bajt, při prvním **CASG** se odpamatovává od registru LS 175 E 119 a E 123 s náběhem signálu L1.

- druhý bajt (signály R0 až R7) jde přímo do posuvných registrů videa, kam se přepisuje společně se zapamatovanými R8 až R16. Při druhém signálu **CASG**.

- při čtení do mikroprocesoru Z 80A se čtená data odpamatovávají do registru 8282 E 71.

- přepínání adres pro čipy RAM je u VIDEORAM komplikovanější než u RAM. VIDEORAM je totiž paměť s dvojím přístupem (dvojbránová paměť - DUAL PORT MEMORY) a musí mít do ni přístup jak Z 80A, tak časová základna VIDEOOBVODU, která určuje signály H2 až H32 a V2 až V128 (Vertikální a Horizontální adresy, která buňka paměti se bude zobrazovat na obrazovce.

- řízení multiplexoru mají na starosti sináły AaB, kde A vlast ně časuje podle **RAS** a **CAS**, jako u RAM a B rozlišuje přístup procesoru Z 80A od přístupu z obvodu Videa. Neboli procesor CRT.

- tím je ukončen popis listu č. 2 PAMĚŤ, protože singály pro VIDEORAM jsou enerovány v časové základně na listu č. 4.

5. Popis listu č. 3 VIDEO I.

- na listu č. 3 jsou obvody kolem videa, neboli kolem zobrazení informací na stínítku obrazovky. V levé polovině je časová základna vytvářející časové posloupnosti signálů synchronizace (synchronizační impulsy se nazývají HS a VS) a generují adresy H a V pro VIDEORAM. V pravé polovině je 16 bitový posuvný registr videa (4×LS 295) a generace signálů synchronizace a signálů pro zatmění obrazovky.

- Vysvětleme si nejprve základy pro tvorbu jednotlivých zkratek signálů, protože pak bude vše jasnější:

H Horizontální - vodorovný neboli vše co souvisí s vodorovným pohybem paprsku po obrazovce

V Vertikální - svislý, neboli pohyb paprsku ve svislém směru

HCK Horisontal Clock - horizontální hodiny v taktu jednoho znaku, neboli osmi bodů grafiky

S Synchronizace HS a VS

B Blank - zatmívání NB a VB neboli čas, kdy obrazovka nesmí svítit

AZJ Alfanumerická Zobrazovací Jednotka - speciální monitor firmy Zbrojovka Brno, který se již nepoužívá

ROM Read Only Memory - paměť s pevným obsahem daným naprogramováním při výrobě

L Load, neboli náplň

CVID Kompositní videosignál obsahující Video, HS a VS i Blank

VID Videosignál znamenající černá/bílá

R Rest čítačů, neboli okamžik vynulování H čítačů (RH) a V čítačů (RV)

- Signál HCK má frekvenci 12,5 MHz děleno osmi, protože se vždy zobrazuje osm bodů vedle sebe. Těchto osm bodů se zobrazuje 64krát, neboli je na jedné lince 512 bodů.

- HCK inkrementuje horizontální čítač tvořený dvěmi obvody LS 193 E 115 a E 116. Paměť ROM 74 S 287 E 117 hlídá obsah těchto čítačů a při určité maximální hodnotě vydá signál RH, který čítače E 115 a E 116 vynulují. V výstupů čítačů jsou pak do multiplexorů pro videoram vedeny adresy H 2 až H 32.

- Signálem HS AZJ je pak inkrementován vertikální čítač tvořený třemi čítači LS 193, 96 a 97. Registr LS 174 E 118 pouze odpamatovává výstupy z paměti ROM a odstraňuje tak přechodové

hazardní stavy, kdy se při přepínání adres na vstupech ROM objevují špičky na jejích výstupech Y 1 až Y 4. Jinak registr nikterak nemění signály označené na jeho vstupech.

- Podobně jako horizontální čítač generuje vertikální čítač adresy pro zobrazení. Protože je však někdy nutné posunout všechny informace na obrazovce ve svislém směru (tzv. rolování - u psacího stroje vlastně posuv válce o řádku) je na výstupech z vertikálního čítače připojena sčítačka, která vlastně umí spočítat osmibitový součet čísel A a B. Když je potom potřeba posunout informaci, např. o jednu linku, nemusí se obsah celé VIDEORAM přepisovat programem a stačí přivést na druhé vstupy sčítaček LS 283 E 89 a E 90 číslo PB0 až PB 7 o jedničku větší a informace se pak z VIDEORAM vybírá posunutě o jednu linku. Tomuto říkáme Hardware Rolling.

- Podobně jako u horizontálních čítačů hlídá paměť ROM 74 S 571 E 98 obsah vertikálního čítače a při dodržení čísla 312 linek vynuluje vertikální čítač a začíná se opět nový snímek od nuly. Paměti ROM E 117 a E 98 generují pak se znalostí obsahu čítačů H a V všechny potřebné signály pro horizontální a vertikální synchronizaci obrazovky a pro zatmívání obrazovky. Výhodou použití pamětí RAM je možnost časové změny časování při přechodu na jiný typ monitoru s jiným časováním.

- Hradlo LS 08 E 126 dělá součet horizontálního a vertikálního zatmívacího signálu a generuje tak společný zatmívací signál pro kompositní videosignál.

- Signály pro synchronizaci jednotky AZJ, připojované ke konektoru X 6 mají jiné časování než pro TV monitor a proto jsou pamětmi RAM zpracovány zvlášť. Jsou nazvány s indexem AZJ.

- Výstupní obvody pro AZJ jsou tvořeny vysílači s otevřeným kolektorem 7406, protože AZJ má výkonové zakončení malými odpory.

- Registr LS 295 E 112 pouze synchronizuje signál zatmívání se signálem L 2 a povolení videa je provedeno na výstupu tohoto registru hradlem LS 08 E 126/8.

- Šestnáctibitový registr je naplněn v okamžiku L 2 synchronně s hodinami SCK z výstupů paměti VIDEORAM (list č. 2.). Díky stránkovému módu čtení VIDEORAM jsou z paměti připraveny vždy dva bajty najednou. Po naplnění se informace v registrech LS 295 E 120, 121, 124 a 125 posunuje ven v rytmu hodin SCK

a vystupuje z E 125/10 videosignál do převodníku tvořeného transistory a diodami, který převádí signály synchronizace a videa na potřebné úrovně.

- Tím je ukončen popis listu č. 3 VIDEO I.

6. Popis listu č. 4 VIDEO II

- Na listu č. 4 je časová základna pro řízení všech obvodů videa. Casové řízení těchto obvodů je složité, protože při současném zobrazování a současné spolupráci VIDEORAM s procesorem je velice málo času a čosování musí být značně přesné, aby nedocházelo ke kolizím.

- Zdrojem frekvence je krystalový oscilátor o frekv. 12,5 MHz tvořený resonátorem Z 2 a invertory S 04 E 130. Tím vznikne signál SCK (Schift Register Clock) neboli hodiny posuvných registrů.

- Frekvence z oscilátoru je dělena 16 v rychlém čítači sestaveném z J-K klopných obvodů 74 S 112 E 128 a E 129 a hradel LS 08 E 126.

- Výstupy čítače jsou do paměti ROM 74188 E 127 a podle obsahu paměti RAM jsou generovány tyto signály:

RAS G	Signál RAS pro Videoram
A	Signál pro přepnutí multiplexorů 74 LS 153 E 83, 84, 93 a 94 na listu č. 2. Tento signál přepíná adresy VIDEORAM mezi RAS G a CAS G.
CAS G	Signál CAS pro VIDEORAM
PG	Page stránka, neboli bit adresy, který se mění z nuly na jedničku mezi dvěma CAS ve stránkovém módu čtení z VIDEORAM.
B	Signál říkající, že přístup k VIDEORAM má procesor Z 80A
L 1	Naplň pomocný registr (2×LS 175 na listu č. 2)
L 2	Naplň 16 bit registr posuvný
WEG	Povolení k zápisu do čipů VIDEORAM
END	Konec přístupu procesoru a neboli shození signálu WAIT
HCK	Horizontální hodiny pro H čítač na listu č. 3
WR, MRQ	Řídící signály z Z 80A
CRT	Výběr paměti VIDEORAM z dekodéru na listu č. 1
WAIT	Čekej pro procesor Z 80, který musí počkat, než bude dokončen cykl spolupráce Z 80A a VIDEORAM.

- Každý cykl paměti a VIDEA je rozdělen na dvě části. Každý cykl trvá 16 hodinových impulsů hodin SCK. Jedna část je vyhra-

žena (delší) pro VIDEORAM a druhá kratší pro procesor Z 80A. Normálně se druhá část neuplatňuje. Žádost o spuštění této části je splněna je-li najednou signál CRT=1 a **MRQ**=0. Pak vznikne na výstupu hradla LS 00 E 132/3 nula=**RQ**. Na **výstupu** invertoru S 04 E 130/12 vznikne jednička a nastaví se do jedničky klopný obvod typu D LS 74 E 131/5. Na jeho výstupu Q E 130/6 vznikne signál **WAIT** a do té doby musí mikroprocesor Z 80A čekat na skončení signálu **WAIT.** Náběžná hrana signálu PG je shodou okolností umístěna tak, že je použita pro testování zda přichází žádost o VIDEORAM. Je-li první klopný obvod nastaven do jedničky, přepíše se při náběhu PG jednička i do druhého klopného obvodu a jeho výstup Q E 131/9 oznámí paměti RAM E 127, že má generovat i signály druhé části cyklu VIDEORAM. Jako poslední signál pro VIDEORAM skončí signál B a ten se zderivuje podle průběhu nakreslených vlevo do e a vznikne signál **END** a ten ukončí vynulováním klopného obvodu i signál pro paměť ROM. Tím je spolupráce s procesorem Z 80A jednak synchronizována a jednak ukončena, aby nemohla proběhnout podruhé a musí se čekat znovu na **RQ**. Synchronizace je nutná, protože jinak by při vstupech do VIDEORAM na obrazovce problikovala interference mezi cykly videa a procesoru.

- Signál **WR** z procesoru je logicky vynásoben se signálem MRQ z procesaru a vznikne-li z ROM E 127 signál **WEN** určující správný časový okamžik zápisu do Videoram vyrobí hradlo NAND E 132/11 signál povolení zápisu **WEG.** Některé signály do VIDEORAM jsou tlumeny odpory 33 Ohm, aby nedocházelo k zákmitům na dlouhých vodičích na desce plošného spoje.

- Nyní si popíšeme průběhy cyklů VIDEORAM. Musíme si uvědomit, že druhá část pro procesor je povolena jen tehdy, je-li na vstupu ROM E 127/14 jednička, neboli je-li žádost z procesoru Z 80A.

a) Signál **RAS** přejde do nuly a zapamatuje do čipů adresu řádku
b) Potom se změní signál A a multiplexor připroví adresu sloupců
c) Pak přejde do nuly poprvé **CAS**
d) Signálem **L1** se po chvíli odpamatuje první bajt z VIDEORAM
e) Pak se vrátí CAS do jedničky a změní se stránková adresa PG do jedničky
f) Pak přijde **CAS** podruhé do nuly a odpamatuje se druhý bajt pomocí L 2 do posuvného registru na listu č. 4
g) Potom je ukončen **RAS** a tím cykl pro video

h) pro procesor přejde B do jedničky, čímž začne pracovat druhá polovina multiplexorů LS 253 na listu č. 2

i) Pak se normálně vygeneruje **RAS**, změna A a **CAS** jako pro normální RAM a případně ještě signál **WEG** časovaný tak, aby byl jeho začátek před **CAS**.

- Tím je ukončen popis listu č. 4 VIDEO II.

7. Popis listu č. 5 PŘERUŠENÍ

- Přerušení je u mikropočítače systém, kterým si přídavná zařízení zajišťují rychlou obsluhu programem. Základem je vždy žádost o přerušení (Interrupt Reguest) a přerušení z více míst obvykle vyhodnocuje řadič přerušení, který určí důležitost žadatele a zamezí konfliktům mezi současně vzniklými žádostmi. Takový řadič pak obvykle generuje tzv. vektor přerušení, nebo-li ukazatel adresy, na které je uložena příslušná rutina obsluhy přerušení pro dané zařízení.

- Mikroprocesor Z 80 má tzv. sériový přerušovací systém ale pouze ve spojení s periferními obvody pro Z 80A. V mikropočítači FK-1 jsou ale použity převážně obvody rodiny mikroprocesoru Intel 8080 A a ty mají paralelní přerušovací systém. Naštěstí má Z 80A tři módy přerušení, z nichž jeden umožňuje zpracovat paralelní přerušení od obvodů Intel.

- Jako řadič přerušení je použit obvod MH 3214 patřící právě k mikroprocesoru 8080 A. Tento obvod E 54 má osm vstupů pro žádosti o přerušení označené jako R 7 (nejvyšší priorita) až R 0 (nejnižší priorita). Žádosti o přerušení jsou u FK-1 tyto:

R 7	**DR**	přerušení od požadavku dat z flopydisku
R 6	**TOUT**	přerušení při překročení časů při obsluze flopydisku
R 5	**OVFL**	přerušení při ukončení přenosu dat z flopydisku
R 4	RTC	přerušení od reálného času, každých 20 ms
R 3	MYŠ	přerušení od grafické periferie nazvané MYŠ
R 2	**R 2**	přerušení od sériového přenosu obvodu 8251
R 1	KI	přerušení od klávesnice
R 0	PI	přerušení od tiskárny

- Obvod MH 3214 umí generovat jen tříbitový vektor přerušení na svých výstupech A 0, A 1, A 2. Tento vektor je pak zapamatován do osmibitového registru 8282 a je doplněn nulou vnejžiším datokém bitu D 0 a nulami v bitech dat D 4 až D 7. Procesor Z 80A si pak při obsluze přerušení, při signálech M 1 a IORQ (viz list č. 1) přečte na datovou sběrnici obsah registru vektoru a tento vektor pak použije při výpočtu adresy kde začíná rutina přerušení.

- Klopný obvod LS 74 E 77 si zapamatuje krátkou inmpulsní žádost o přerušení (signál **INT** do Z 80A) a po skončení cyklu, nazývaného **INTA** (potvrzení přerušení) je vynulován právě součinem signálů **IORQ** a M 1, což u Z 80A znamená právě cykl **INTA.**

- Na listu č. 5 vlevo nahoře je obvod generující přerušení od myši. Myš má dva impulsní výstupy A a B pro každou osu pohybu X a Y a dva výstupy signálů z tlačítek T 1 a T 2. Počítání impulsů od pohybu v osách je u FK-1 zajištěno programově a proto je nutné jednak aby mikroprocesor věděl, kdy se jakýkoli stav stupních signálů změnil a jednak si pak program musí zjistit skutečný stav signálů po změně. Podle vzájemných fází změn signálů z os pak program vyhodnotí směr změny anebo změnu stavu tlačítka.

- Změnu zjišťují derivační obvody sestavené z hradel LS 86 E 55 a 56 a sčítací obvody derivačních impulsů, hradla LS 27 E 58 a hradlo LS 00 E 61. Impuls od změny jakéhokoli stavu signálů nastaví klopný obvod LS 74 E 59 a z jeho výstupu Q E 59/8 vede žádost o přerušení na vstup R 3 řadiče MH3214. Program potom instrukcí s adresou generující signál přečte obsah registru 8282 E 53, do kterého se odpamatuje nový stav tlačítek. Tento registr signály ze vstupu invertuje.

- Povolení přerušení od myši je signálem IE MYŠ (Interrupt Enable) a ten vede z portů řadiče flopydisku. Signálem RD 7 se také žádost o přerušení ukončí, neboť je vynulován klopný obvod E 59/8.

- Podobně pracuje klopný obvod LS 74 E 59/6, který generuje přerušení každých 20 ms od vertikálního synchronizačního impulsu videa VS. Přerušení je povoleno signálem IERTC a nulováno signálem WR 7 z dekodéru adres portů.

- Řadič přerušení 3214 je připojen i na spodní čtyři datové bity datové sběrnice PD. Pomocí instrukce zápisu do portů, generující signál 6 WR (E 54/23) zapisuje program do řadiče číslo, které říká jaká nejvyšší úroveň přerušení je povolená. Priorita žádostí je však pevná. Po každé žádosti a jejím zpracování je nutné řadič 3214 znovu inicializovat právě zapsáním povolené úrovně pomocí datových bitů PD 0 až PD 3.

- Výstupy A 0 až A 2 z řadiče, neboli výstupy vektoru jsou s otevřenými kolektory a proto jsou zakončeny odpory na +5 V.

- Hradlo LS 08 vyrábí součet signálů **RES** a **INTA** pro nulování klopného obvodu E 77 (signál RI - Reset Interrupt).

- Hradlo LS 32 E 81/3 vyrábí negativní signál **INTA** pro nulování klopného obvodu, nulování některých obvodů řadiče flopydisku na listu č. 8 a pro otevření třístavových výstupů registru vektoru 8282 E 52.

- Tím je ukončen popis listu č. 5 PŘERUŠENÍ.

8. Popis listu č. 6 PORTY

- Vlevo nahoře je dekodér portů, neboli dekodér adres A 4, A 5 a A 6 podle nichž se odlišují adresy portů. V některých případech je ještě v rámci této adresy více portů (například v obvodu 8255) a ty se potom ještě odlišují adresami A 0 a A 1.
- Horní dekodér 74 LS 138 je povolen signálem **IORQ** E 32/4 a signálem RD E 32/5. Oba dekodéry jsou povoleny neaktivním stavem signálů RESET. Výstupní signály dekodéru jsou nazvány RD 0, RD 1 až RD 7. Tento dekodér tedy adresuje vstupní porty mikroprocesoru, ze kterých se čtou informace.
- Druhý dekodér je místo signálem **RD** povolován signálem **WR** a adresuje tedy výstupní porty. Dekódování adres je u FK-1 trochu neobvyklé, protože se u přídavných obvodů (8253, 8255 a 8251) nepoužívají povolovací vstupy **CS** a místo toho se dekódují přímo signály **RD** a **WR** pro každý obvod zvlášť. To přináší jisté výhody.
- Adresy portů jsou přiřazeny takto:

A 7	A 6	A 5	A 4	A 3	A 2	A 1	signály	adresa HEX
X	0	0	0	X	X	X	RD a WR 0	00
	0	0	1				RD a WR 4	10
	0	1	0				RD a WR 2	20
	0	1	1				RD a WR 6	30
	1	0	0				RD a WR 1	40
	1	0	1				RD a WR 5	50
	1	1	0				RD a WR 3	60
	1	1	1				RD a WR 7	70

- Obvod paralerních portů 8255 E 40 slouží pro připojení klávesnice a tiskárny.
- Tiskárna má konektorové signály označené písmenem T a je na konektoru X 2.
- Klávesnice má signály označené písmenem K a je na konektoru X 4.

Schronní přenos není uFK-1 možný. Zdrojem přenosové frekvence, vlastně 16× vyšší frekvence, kterou potřebuje obvod 8251 je časovač 8253 v řadiči flopydisku. Přenosová rychlost je tedy programovatelná programem. Protože proudová smyčka nepo- →

- Pro tiskárnu je použit port A obvodu 8255 a je naprogramován do módu 1. Pomocné signály pro tiskárnu jsou STBP - Storbe Data a tento výstupní signál je zkrácen monostabilním obvodem LS 123 E 42/5 na potřebnou délku. Vstupní signály do portu tiskárny jsou:

PE konec papíru

ERR chyba

ACK potvrzení o ukončení činnosti tiskárny

- Port PB obvodu E 40 je použit jako vstupní, v módu 1, pro vstup z klávesnice. Vstupy z klávesnice jsou ošetřeny odpory. Signál vzorku **STBK** je opět zkrácen druhou polovinou LS 123 E 42. Z počítače FK-1 je klávesnice také napájena napětím +5 V. Výstupní bity portu 8255 E 40 označené PC 0 a PC 3 generují žádost o přerušení od klávesnice KI a žádost od tiskárny PI.

- V druhé polovině schéma je obvod 8251 A, který pracuje u FK-1 jako sériový port s výstupem do proudové smyčky 20 mA. Tento obvod je klasický UART pro asynchronní přenos. Syn- ✶
→ třebuje ovládací signály pro modem, je většina těchto vstupů a výstupů obvodu 8251 A (**CTS**, **DSR**, **DTR**) nepožity.

- Vstupy řadiče přerušení 3214 jsou plně obsazeny a tak přerušení od přijmutého znaku **RXC** a vyslaného znaku **TXC** jsou u obvodu 8251 A sečteny pomocí hradla LS 27 E 58/8 a vedeny do MH 3214 jako R 2. Program potom musí sám rozlišit o jaké přerušení se jedná.

- Vysílaná data z výstupu UART E 41/19 nazvaná TXD jsou pak převedena na proudový signál převodníkem z tranzistorů T 1 a T 2 a proud smyčky je určen velikostí odporu R 4 470 Ohm.

- Přijímaná data jsou oddělena optoisolátorem E 22 WK 164-14 a jeho výstup je ještě tvarován tvarovačem LS 14 E 21/4 a ty pak vstupují do vstupu RXD E 41/3.

- Signál DTR E 41/24 je určen jako pomocný výstup pro připojení reproduktoru přes tranzistor R 5.

- Obvod 8251 A potřebuje ke své činnosti hodiny CLK E 41/20 a ty jsou přivedeny z děliče u obvodů flopydisku na listu č.7.

- Oba obvody na listu č. 6 jsou směrem ke sběrnici připojeny standartním způsobem. Data jsou připojena na datovou sběrnici označenou jako PD. Adresové bity A 0 až A 1 volí u obvodu 8255 vnitřní registry PA, PB, PC a řídící port. Adresový bit u 8251 A podle stavu A 0 jeden ze dvou vnitřních registrů tohoto obvodu.

- Signál RES s aktivní úrovní jedna umožňuje vynulovat oba porty a nastavit je tak po zapnutí do známého stavu.
- Jak již bylo řečeno, jsou signály výběru **CS** uzemněny a dekódování portů je provedeno tak, že se dekódují přímo signály **RD** a **WR** pro každý obvod zvlášť.
- Tím je ukončen popis listu č. 6 tak zvaných PORTŮ.

9. Popis listu č. 7 FLOPY I

- Ke správnému pochopení těchto schémat je nejprve nutné znát principy záznamu a formátu na disketách z dodaných materiálů. Na disketě je záznam proveden v několika stopách a mechanika disku vystavuje postupně hlavu po těchto stopách. Vystavení se řídí směrem pohybu hlavy a signálem krok (STEP a DIR). Na každé stopě je pak zaznamenáno několik sektorů, dejme tomu 26 sektorů po 128 byjtech. Aby bylo možno jednotlivé sektory poznat od sebe, je před každým sektorem nahráno tzv. záhlaví, ve kterém je číslo sektoru spolu s dalšími identifikačními údaji uvedeno. Řadič flopydisku musí tedy před čtením sektoru a nebo před zápisem do sektoru nalézt záhlaví a pak teprve může provést zápis nebo čtení. Pro řadiče flopydisku se obvykle používají složité řadiče, které jsou vlastně jeden složitý integrovaný obvod. V období vzniku FK-1 nebyl však takový řadič k dispozici. Teprve inovovaný model FK-2 bude mít integrovaný řadič flopydisku INTEL 8272 A.
- Řadič u FK-1 je realizován z běžných TTL obvodů doplněných o časovač 8253 a obvody portů 8255 A.
- V levém horním rohu listu č. 7 jsou vstupní obvody sériových dat z flopydisku, které se nazývají **RD** (Read Data). Pomocí čtyřech klopných obvodů LS 74 E 4 a E 8 a děliče frekvence 74164 E 48 a dalších jsou z dat separovány datové a hodinové impulsy. Ty jsou potom synchronizovány v registru 74175 E 7. Vznikají tak dva nezávislé signály D DAT a C DAT, neboli data a hodiny zvlášť. Pro rozpoznání speciálních značek v záhlaví adresy a dat na flopydisku jsou totiž použity triky s chybějícími hodinami, tzv. Missing Clock. Proto je nutné vyhodnocovat zvlášť průběh hodin a zvlášť průběh dat.
- Paměť PROM 74 S 287 E 6 tvoří dvoubitový sériový komparátor, který porovnává přicházející průběhy C a D DAT a hledá v nich značku DAT a nebo značku ADRESY. Která značka je hledána a to říká stav signálu RDM (Read Data Mark) z portu 8255.
- Jakmile sériový komparátor značku pozná, vydá impuls na výstupu hradla LS 20 E 2/6 a ten zpustí monostabilní obvod LS 123 E 38/4. Výstup z tohoto obvodu pak naplňuje obvod paralerních portů 82255 na dalším listu daty, která přicházejí se sériově-paralerního přechodníku dat z flopydisku, obvodu LS 164 E 36. Současně se po nalezení značky překlopí R-S klopný obvod E 15 a vydá signál SYN, který synchronizuje všechny další časové operace.

- Signál SYN se také vrací zpět do sériového komparátoru značky (EI/11) a do té doby začne hradlo LS 20/6 vydávat impulsy po každých 8 bitech sériově přijatých dat do registru LS 164 E 36. Tak vznikají i impulsy STB a data se paralerně dostávají do portů a odtud si je přebírá procesor.
- Vpravo nahoře je vlastně zcela inverzní obvod, obvod zápisu. Základem zapisovacích obvodů je čítač 7493 A E 18, který čítá od nuly do patnácti. Jeho čtyři výstupy QA až QD přepínají vstupy multiplexoru 74150 E 17. Na vstupech tohoto ultiplexoru jsou připravena data W 0 až W 7 a současně hodiny. Hodiny jsou připraveny tak, že některé bity jsou pevně jedničkové a dva bity C 3 a C 4 jsou proměnné. Tyto proměnné bity hodin slouží právě pro zápis tzv. chybějících hodin ve značkách. Data W 0 až W 7 a bity hodin C 3 a C 4 přicházejí z paralerních portů na listu č. 8.
- Když se napíše poslední bit sériových dat, změní se QD E 18 zpět do nuly, nahodí se klopný obvod E 123 a vydá signál **ACK**, který oznámí paralerním portům, že mají připravit další data.
- Zesilovače 7438 E 13 zesilují jednak signál povolení zápisu **WR** na **WE** a jednak data do disku správnou šířku, je multiplexor E 17 vzorkován výstupem monostabilního obvodu E 9/12 impulsy asi o délce 600 ns.
- Dělič 7493 A vyrábí z frekvence 4 HMz frekvenci 2 MHz nazvanou FC pro obvod 8251 na listu porty a také frekvenci 1 MHz pro časovač 8253.
- Dělič 7493 A E 5 funguje jako časový hlídač, hlídá dobu, po kterou jsou signalizovány chybějící hodiny ve značce (Missing Clock) nulou na výstupu klopného obvodu 74 LS 74 E 4/9. Tyto hodiny smějí chybět jen po dobu tří hodin, chybějí-li hodiny déle je separátor přepnut na opětovné zasynchronizování na přijímaná data z disku.
- Signál RE (Read Enable) je povolení čtení s disku a odblokovává všechny důležité obvody separátoru a dekodéru značek.
- Tím je ukončen popis listu č. 7 FLOPY I.

10. Popis listu č. 8 FLOPY II.

Na tomto listu jsou zbývající obvody a řadiče. Vlevo je obvod paralerních portů 8255 A, pracující v módu 1 a tento obvod zpracovává paralerní data čtená z flopydisku (DR 0 až DR 7 a singál STB) a data zapisovaná na flopydisk (W 0 až W 7 signál ACK).

- Při čtení přijde signál **STB** z listu č. 7 a ten zapíše data do portu PB 0 až PB 7. Současně je na výstupu PC 0 E 37/14 generována žádost o přerušení INTR B, která vygeneruje nulu na signálu **DR**, který vede do řadiče přerušení 3214. Přerušení zanikne, e-li programem přečten obsah portu PB, nebo-li čtená data z disku.
- Při zápisu zapíše program data do portu PA, až je zápisový obvod nepotřebuje vygeneruje signál **ACK** (děkuji) a ten nastaví na výstupu PC 3 (INTR/A) přerušení pro 3214. Program zapíše do portu další data k zápisu a přerušení zmizí.
- Časovač 8253 slouží jednak ke generování přenosové frekvence pro obvod UART 8251 a jednak pro doplňkové časování některých operací flopydisku.
- Čítač 0 časovače čítá frekvenci VS s periodou 20 ms a umožňuje tak počítači časovat některé operace.
- Čítač 1 čítá hodinky 1MHz a na vstupu G 1 E 35/14 je spouštěn při operacích s diskem signálem SYN, který je odvozen od okamžiku zjištění značky. Časovač se používá pro časování okamžiku zápisu po zjštění značky. K tomu slouží klopný obvod LS 74 E 11/9 na jehož hodiny výstup časovače 1 vede. Na vstupu tohoto klopného obvodu je signál WRE (Write Enable) a hodiny pak vlastní zahájení zápisu zpozdí o přesnou dobu.
- Klopný obvod E 14/8 hlídá časovou prodlevu nalezí datové značky od signálu SYN, aby bylo zajištěno, že příslušná data patří jen k předešlé adresové značce.
- Klopné obvody E 14/5 a E 11/5 pracují pouze při formátování a určují jednu celou otáčku disku pro funkci programu FORMAT.
- Časovač 2 obvodu 8253 E 35 slouží jako počítadlo přenesených bajtů z a nebo do počítače. Čítají se vlastně změny signálu **DR** (Data Ready). Po přenesení naprogramovaného počtu bajtů vznikne signál **OVFL** (přečtení) a program pro obsluhu disku ví, že má ukončit přenos. Signál **OVFL** vznikne i při ukončení formátování, když se po druhé otáčce disku nastaví do edničky klopný obvod E 11/5.

- Registr LS 174E 27 slouží jako registr příkazů, které určují, jaká operace bude prováděna. Jsou zde signály:

RE READ Enable
WRE Write Enable
RDM Read Data Mark
FOR Format

- Posledním obvodem v řadiči flopydisku je paralelní obvod 8255 A E 34. Tento obvod slouží jako pro generování pomocných signálů jak pro řadič flopydisku tak pro ostatní obvody počítače.

- Jeho port B slouží jako generátor konstanty pro hardverové rolování obrazovky ve spojení se sčítačkami na listu č. 3. Dva registry zařazené za portem PB 0 až PB 7 pouze synchronizují změnu konstanty se zobrazením s doběhem signálu **RAS G.**

- Port PA obsahuje některé výstupní bity na které nikde jinde nezbylo. Jsou zde povolení přerušení pro myš a RTC a dva bity hodin C 3 a C 4 pro možnost záznamu adresové značky s chybějícími hodinami na flopydisku.

- Dále je zde jeden tranzistor pro libovolné použití jako jednobitový port, např. pro servisové propojení dvou počítačů při tvorbě programů, nebo při oživování počítače.

- Dále jsou zde řídící signály pro mechaniku flopydisku:

STEP krok o stopu
DIR směr kroku dovnitř/ven
T 43 stopa větší než 43
HL přiklopení hlavy disku
a signály vstupní z disku do řadiče
TOO nultá stopa
WP ochrana zápisu na disketu
INDX indexový impuls (používá se při formátování)
jsou zde uvedení další signály flopydisku z listu č. 7 jako
WE povolení zápisu
WD data k zápisu
RD čtená data
S 0 až 1 dva signály výběru jednoho ze dvou disků

- Tím by bylo možné ukončit popis funkce řadiče flopydisku.

TRACK

index gap	sector 1	.....	sector n	track gap

SECTOR

sector identif.	identifier gap	data block	data gap

SECTOR IDENTIFIER

identifier mark	adress identifier	CRC

DATA BLOCK

data mark	data field	CRC

OBR. 1.9

Nutno poznamenat, že se jedná o formát používaný u disket s jednoduchou hustotou záznamu (tzv. FM záznam) při dvojnásobné hustotě záznamu (MFM záznam) je formát poněkud odlišný. Od formátu záznamu FM se liší především dvojnásobnou délkou mezer a datových polí. Je to způsobeno dvojnásobnou přenosovou rychlostí.

Nyní ale zpět k obr. 1.9, postupně se seznámíme s obsahem všech bloků.

1.1.1 MEZERY (GAP)

INDEXOVÁ MEZERA (INDEX GAP)

Tato mezera začíná u indexového otvoru a její délka je 73 bajtů. Tato mezera téměř nemá žádný význam, lze ji používat pro odstartování čtení celé stopy. Pro zápis se nepoužívá. Z těchto důvodů je často, zvláště pak u „hustších" formátů, vynechávána.

IDENTIFIKAČNÍ MEZERA (IDENTIFIER GAP)

Tato mezera obsahuje při formátování 11 bajtů OFFH. Velikost identifikační mezery se v průběhu používání diskety mírně mění v důsledku přepisování datového pole diskety.

BLOKOVÁ DATOVÁ MEZERA (DATA BLOCK GAP)

Tato mezera odděluje datové pole od následujícího ID pole a je dlouhá 27 bajtů. Její délka se mění v průběhu používání diskety vlivem rozdílných rychlostí otáčení diskety v různých mechanikách a nepřesností při zápisu.

MEZERA ZA STOPOU (TRACK GAP)

Tato mezera slouží k oddělení posledního bloku dat od indexové mezery. Její délka závisí na tolerancích frekvence zápisu a otáček motoru. Zapisuje se při formátování za poslední sektor konec zápisu je určen příchodem indexového impulsu. Délka této mezery je obvykle 101 bajtů.

1.1.2 ADRESOVÉ ZNAČKY (ADRESS MARK)

Identifikace počátku identifikačního a datového pole vyžaduje zvláštní bitové vzory, nutné pro synchronizaci vnitřních obvodů řadiče pružných disků. Tyto bitové vzory se nazývají adresové značky (AM). Lze je rozlišit pomocí chybějících hodinových impulsů (data mají vždy všechny hodinové impulsy, tj. že hodiny v datech jsou OFFH).

Existují celkem čtyři různé adresové značky:

- INDEXOVÁ ADRESOVÁ ZNAČKA (INDEX - AM) uvnitř indexové mezery
- ID ADRESOVÁ ZNAČKA (ID - AM) na začátku ID pole
- ADRESOVÁ ZNAČKA DAT (DATA - AM) na začátku datového pole

- ADRESOVÁ ZNAČKA ZRUŠENÝCH DAT (DELETED DATA - AM) na začátku pole zrušených dat.

Vzhledem k tomu, že obvody, které tyto značky detekují nebo generují při zápisu, jsou součástí monolitických řadičů pružných disků, nepokládám za důležité se v dalším výkladu hlouběji zabývat jejich tvarem a zpracováním.

1.1.3 IDENTIFIKÁTOR SEKTORU (SECTOR IDENTIFIER)

Skládá se z identifikační adresové značky (ID - AM), adresy a zabezpečovacích bitů CRC.

IDENTIFIKAČNÍ ZNAČKA (IDENTIFIER MARK)

Toto pole má délku 7 bajtů - 6 bajtů OOH sloužících k synchronizaci datového separátoru řadiče pružných disků, pak následuje ID adresová značka.

ADRESA (ADRESS IDENTIFIER)

Adresa obsahuje těchto následujících 6 bajtů:

- ADRESA VÁLCE (CYLINDER ADRESS): obsahuje v binárním tvaru adresu válce (stopy) v rozsahu 0 až 76 (pro 8" disk).
- ADRESA STRANY (SIDE ADRESS): reprezentuje v binárním tvaru adresu strany (0 nebo 1)
- ADRESA SEKTORU (SECTOR ADRESS): určuje v binárním tvaru adresu sektoru v rozsahu 1 (první sektor) až max. počet sektorů na stopě.
- DÉLKA SEKTORU (SECTOR LENGTH): tento bajt určuje délku sektoru (00 H = 128 bajtů, 01 H = 256 bajtů, 02 H = 512 bajtů atd.)
- ZABEZPEČOVACÍ BITY CRC (CRC BYTES): tyto dva bajty jsou generovány vnitřními obvody řadiče (16-ti bitový registr se zpětnými vazbami).

1.1.4 DATOVÝ BLOK (DATA BLOCK)

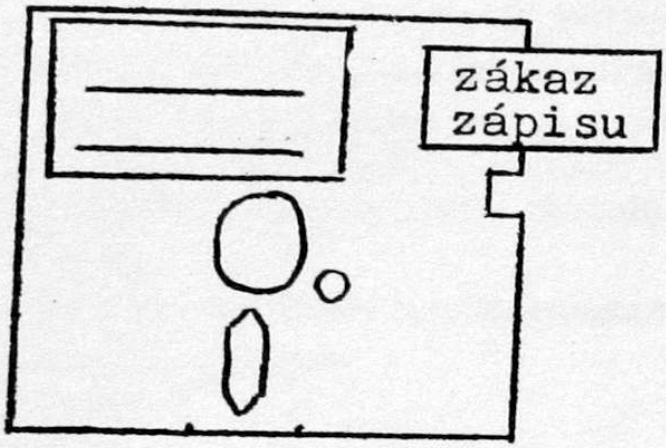
V datovém poli je uložena datová značka, datové pole a zabezpečovací bity CRC.

DATOVÁ ZNAČKA (DATA MARK)

V tomto poli se nachází 7 bajtů. Prvních 6 je obsazeno OOH a slouží k synchronizaci řadiče. Pak je zde datová adresová značka. Pokud při čtení tohoto pole narazí řadič na adresovou značku indikující pole zrušených dat (DELETED DATA AM), jsou data tohoto sektoru ignorována a řadič čte následující sektor. Musím ale poznamenat, že výše popsaného postupu se v praxi velmi málo používá. Většina operačních systémů si totiž vede samostatný přehled o obsazených sektorech disku (tzv. alokační vektor disku v systému CP/M).

DATOVÉ POLE (DATA FIELD)

Teprve až v tomto poli jsou uložena vlastní data (!). Zde je patrné o kolik je princip záznamu na pružný disk složitější než běžně používané systémy záznamu na magnetofonové kazety.



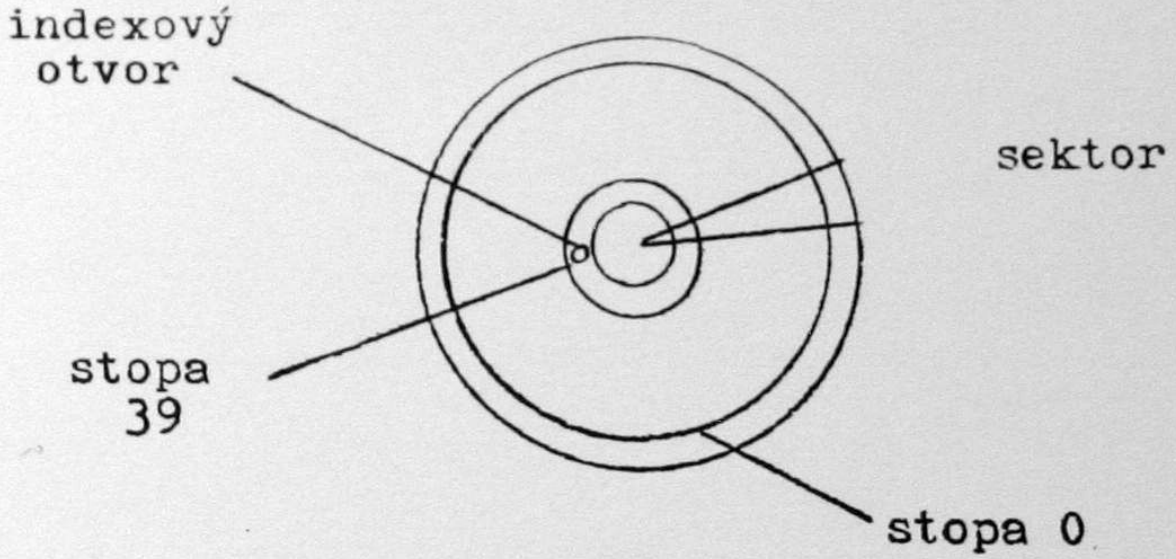
DISKETA 8"

OBR. 1.7

1.1 Formát stopy

Každá stopa je rozdělena na několik sektorů pro ukládání dat. Jsou to jakési „přihrádky". Každá taková přihrádka je označena záhlavím (ID field), ve kterém jsou zapsány informace o čísle sektoru, stopy atd. Pak teprve následuje pole pro uložení dat. Začátek každé stopy je jednoznačně určen pomocí indexového otvoru v disketě. Poloha tohoto otvoru je čtena optickým čidlem obdobně jako otvoru pro chranu zápisu. Sektory jsou číslovány 1, 2. . n, kde n = počet sektorů na stopě je zde tedy rozdíl od číslování stop (první stopa má číslo 0!).

Formát stopy



DISKETA 8"

OBR. 1.8

Vytvoření sektorů - „přihrádek" a patřičných identifikačních záhlaví se nazývá „formátování diskety." Identifikační záhlaví sektorů slouží pro orientaci při zápisu nebo čtení dat z diskety, podle informace ze záhlaví vybírá řadič sektor, ke kterému požadujeme přístup. Při formátování je rovněž zaplněno datové pole sektoru (zpravidla bajty s obsahem OE 5 H). Obsah záhlaví je při korektním (nehavarijním) přístupu na disketu neměnný, mění se pouze údaje v datovém poli. V případě narušení informací v záhlaví je nutné disketu znovu naformátovat, což zpravidla vede ke ztrátě údajů z datového pole. Použitelnou kapacitu diskety jednoduše vypočteme, jestli-že vynásobíme počet stop × počet sektorů × délka sektoru. Takto vypočtená kapacita je poněkud menší, než-li „hrubá" - neformátovaná kapacita diskety, vzhledem k tomu, že značná část kapacity připadne na mezery mezi sektory.

Na následujícím obrázku si ukážeme, jak jsou jednotlivé sektory rozloženy na stopě a blíže se seznámíme se strukturou záhlaví sektoru (dále jen ID pole).

Autor textu: ing. Eduard Smutný, 1989
Náklad: 1000 ks výtisků
Vytiskla tiskárna St. st. Klíčany, SPV